

CLIPPEDIMAGE= JP409330908A

PAT-NO: JP409330908A

DOCUMENT-IDENTIFIER: JP 09330908 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: December 22, 1997

INVENTOR-INFORMATION:

NAME

YAMASHITA, ATSUKO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP08149302

APPL-DATE: June 11, 1996

INT-CL (IPC): H01L021/306;H01L029/74 ;H01L021/332

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify the manufacturing process of a semiconductor device by applying a second polyimide resin to the surface of a wafer carrying formed electrodes after a first polyimide resin is applied to the surface and finally cured and bevel-etching the wafer in a mixed acid atmosphere, and then, stripping off the second polyimide solution by immersing the wafer in an alkaline solution.

SOLUTION: After a first polyimide resin 14 for passivation is applied to the surface of a wafer carrying formed electrodes 11, 12, and 13 and the resin 14 is precured at a low temperature, a resist is patterned and the resin 14 is finally cured at a high temperature. Then, after the resin 14 is protected by applying a second polyimide resin 15 for buffering to the surface of the wafer (b), the wafer is bevel-etched in a mixed acid atmosphere. After etching, the resin 15 is stripped off by immersing the wafer in a choline-based alkaline solution (c). Then a third polyimide resin 16 is applied to the end face of

the wafer as a passivation film and the resin 16 is finally cured (d).
Therefore, the manufacturing process of a semiconductor device can be simplified.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-330908

(43) 公開日 平成9年(1997)12月22日

(51) Int. Cl. ⁶	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L	21/306		H 0 1 L 21/306	Q
	29/74		29/74	B
	21/332			3 0 1

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平8-149302

(22) 出願日 平成8年(1996)6月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山下 敦子

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

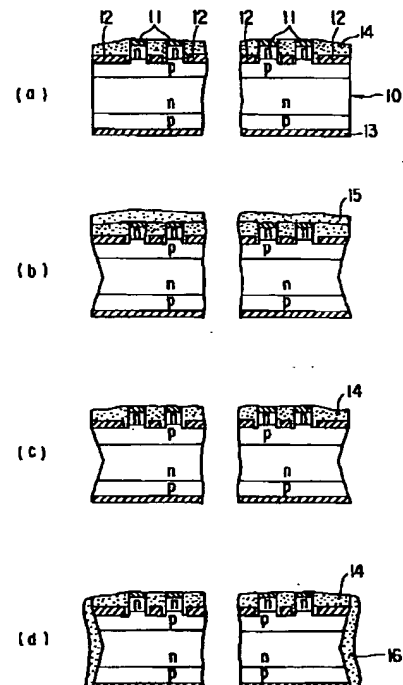
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】サイリスタのベベルエッチング工程の簡単化および低コスト化を図る。

【解決手段】半導体ウエハー上に電極を形成した後にウエハー表面にバッシベーション膜用の第1のポリイミド樹脂を塗布して最終キュア処理まで完了させる第1の工程と、第1の工程を経た後のウエハー上に再びバッファ用の第2のポリイミド樹脂を塗布する第2の工程と、第2の工程を経た後の前記ウエハーに対して、混酸雰囲気中でウエハー端面をエッチングすることによりベベルエッチングを行う第3の工程と、この後、アルカリ溶液に前記ウエハーを漬けることにより前記第2のポリイミド樹脂を剥離する第4の工程とを具備する。



【特許請求の範囲】

【請求項1】 半導体ウエハー上に電極を形成した後にウエハー表面にパッシベーション膜用の第1のポリイミド樹脂を塗布して最終キュア処理まで完了させる第1の工程と、

前記第1の工程を経た後のウエハー上に再び第2のポリイミド樹脂を塗布する第2の工程と、

前記第2の工程を経た後の前記ウエハーに対して、混酸雰囲気中でウエハー端面をエッチングすることによりベベルエッチングを行う第3の工程と、

この後、アルカリ溶液に前記ウエハーを漬けることにより前記第2のポリイミド樹脂を剥離する第4の工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記第2のポリイミド樹脂は、前記第1のポリイミド樹脂と同じ成分を有するものであることを特徴とする半導体装置の製造方法。

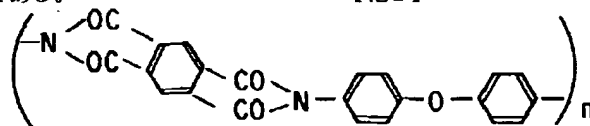
【請求項3】 請求項1または2記載の半導体装置の製造方法において、

前記アルカリ溶液は、コリン系のアルカリ溶液であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特にベベル構造を有する半導体装置のベベルエッチング方法に関するもので、例えばサイリスタの製造工程で使用されるものである。



【0007】そして、前記最終キュアまで完了したフルキュア状態のウエハーの端面を混酸雰囲気中でエッチング（ベベルエッチング）を行い、例えば図中に示すようなダブルポジティブベベル構造を実現する。

【0008】この際、前記フルキュア済みのポリイミド樹脂34に耐酸性がないので、従来は、エッチング前にウエハー端面以外のウエハー表面に耐酸性を有する保護テープ（図示せず）を全面に貼りつけておき、上記ベベルエッチング後に保護テープを除去している。この保護テープを除去する工程は、保護テープを加熱し、保護テープを一枚づつ手で剥がしているため、非常に手間がかかり、製造コストの増加をまねく。

【0009】

【発明が解決しようとする課題】上記したように従来のサイリスタのベベルエッチング工程は、サイリスタのベベルエッチング前にウエハー端面以外のウエハー表面に耐酸性を有する保護テープを全面に貼りつけておき、エ

*【0002】

【従来の技術】一般に、サイリスタの高耐圧化を図るために、接合表面にベベル構造を採用している。このベベル構造は、接合表面に傾斜部（ベベル）を持たせ、接合表面での空乏層を広げることにより、接合表面の電界を内部よりも緩和するものである。

【0003】図2は、従来のサイリスタの製造工程においてベベル構造を形成するためのエッチング工程（ベベルエッチング工程）およびその前後の工程を示している。即ち、図2に示すように、まず、半導体ウエハー（シリコンウエハー）30にPNPNの4層構造を形成し、ウエハー表面側のN層にコンタクトするようにカソード電極31、P層にコンタクトするようにゲート電極32をそれぞれ例えばアルミニウム膜のパターンでそれぞれ形成し、ウエハー裏面側にアノード電極33を形成する。

【0004】上記したような電極形成後のウエハー表面に有機膜のパッシベーション膜としてポリイミド樹脂34を塗布して予備キュアから最終キュアまでの処理を完了させる。

【0005】なお、ポリイミドなどの芳香族化合物を半導体基板上にスピンコートし、所定温度、所定時間の加熱による硬化処理（キュア）を行うことにより、例えば下記図1に示すようなベンゼン基を有する環状もしくは網目構造を有する低誘電率のパッシベーション膜を形成できる。

【0006】

【化1】

※エッチング後に保護テープを除去するので、非常に手間がかかり、製造コストの増加をまねくという問題があった。

【0010】本発明は上記の問題点を解決すべくなされたもので、サイリスタのベベルエッチング工程の簡単化および低コスト化を図り得る半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体ウエハー上に電極を形成した後にウエハー表面にバッファ用の第1のポリイミド樹脂を塗布して最終キュア処理まで完了させる第1の工程と、前記第1の工程を経た後のウエハー上に再びバッファ用の第2のポリイミド樹脂を塗布する第2の工程と、前記第2の工程を経た後の前記ウエハーに対して、混酸雰囲気中でウエハー端面をエッチングすることによりベベルエッチングを行う第3の工程と、この後、アルカリ溶液に前記

ウエハーを漬けることにより前記第2のポリイミド樹脂を剥離する第4の工程とを具備することを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。本願発明は、ある種類の非感光性のポリイミド樹脂は、最終キュア処理を加えなければ、ポジティブタイプのフォトリソの現像液などのアルカリ溶液に溶ける（最終キュア以後は溶けない）という特性に着目してなされたものである。なお、この特性は、感光性のポリイミド樹脂であっても同様である。

【0013】図1(a)乃至(d)は、本発明の半導体装置の製造方法の第1の実施の形態に係るサイリスタのベベルエッチング工程およびその前後の工程を示している。まず、図1(a)に示すように、半導体ウエハー（シリコンウエハー）10にPNPNの4層構造を形成する。そして、ウエハー表面側のN層にコンタクトするようにカソード(K)電極11、P層にコンタクトするようにゲート(G)電極12をそれぞれ例えばアルミニウム膜のパターンで形成し、ウエハー裏面側にアノード電極(A)13を形成する。

【0014】上記したような電極形成後のウエハー表面にパッシベーション膜として例えば非感光性の第1のポリイミド樹脂14を塗布する。そして、例えば100～120℃、3～5分の加熱による予備キュアを行い、レジストのパターニングを行った後、例えば300～350℃、30～60分の加熱による最終キュアを行う。

【0015】このフルキュア済みの第1のポリイミド樹脂14をそのまま混酸雰囲気中でウエハー端面をエッチングすると第1のポリイミド樹脂14が溶けてしまうおそれがある。

【0016】そこで、上記第1のポリイミド樹脂14を保護するために、図1(b)に示すように、ウエハー上に再びバッファ用の第2のポリイミド樹脂15を塗布する。この場合、上記第2のポリイミド樹脂15は、前記第1のポリイミド樹脂14と同じ成分を有するものでも別のものでもよいが、第2のポリイミド樹脂15に対する最終キュアは行わない。

【0017】この状態のウエハーに対して、混酸雰囲気中でウエハー端面をエッチングすることによりベベルエッチングを行った後、例えばポジティブタイプのフォ

トリソの現像液などのコリン系のアルカリ溶液にウエハーを漬けることにより、図1(c)に示すように、第2のポリイミド樹脂15を剥離する。

【0018】この場合、アルカリ溶液による第2のポリイミド樹脂15の剥離は良好に行われるが、仮にウエハー表面の段差の底部などで第1のポリイミド樹脂14上に第2のポリイミド樹脂15が残っても、両者は同一成分であるので問題はなく、アルミニウム膜パターン（電極）上に第2のポリイミド樹脂15が残らなければ支障はない。

【0019】この後、前記ベベルエッチングが行われたウエハー端面（ベベル）上に、図1(d)に示すように、パッシベーション膜として第3のポリイミド樹脂16を塗布して最終キュア処理まで完了させる。この場合、上記第3のポリイミド樹脂16は、前記第1のポリイミド樹脂14あるいは第2のポリイミド樹脂15と同じ成分を有するものでも別のものでもよい。

【0020】なお、前記したように最終キュア処理を加えなければアルカリ溶液に溶ける第2のポリイミド樹脂15の組成や膜厚は、使用する剥離用のアルカリ溶液に応じて決定すればよい。

【0021】

【発明の効果】上述したように本発明によれば、サイリスタのベベルエッチング工程の簡単化および低コスト化を図り得る半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

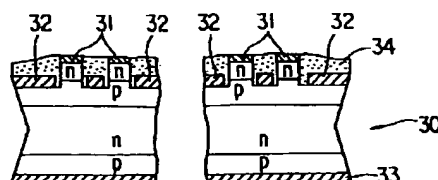
【図1】本発明の半導体装置の製造方法の第1の実施の形態に係るサイリスタのベベルエッチング工程およびその前後の工程を示す断面図。

【図2】従来のサイリスタの製造工程におけるベベルエッチング工程およびその前後の工程を示す断面図。

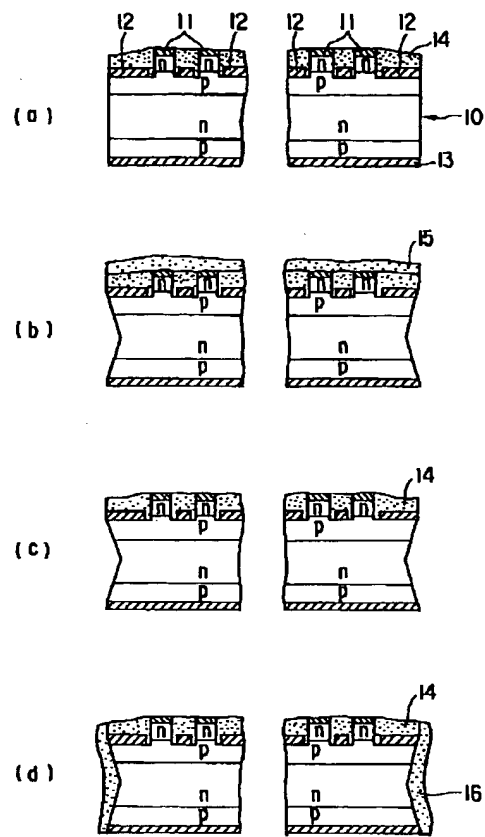
【符号の説明】

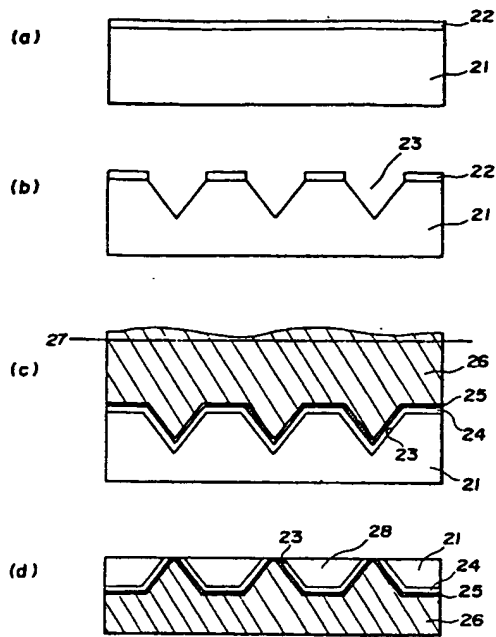
- 10…半導体ウエハー（シリコンウエハー）、
- 11…カソード(K)電極、
- 12…ゲート(G)電極、
- 13…アノード電極(A)、
- 14…第1のポリイミド樹脂、
- 15…第2のポリイミド樹脂、
- 16…第3のポリイミド樹脂。

【図2】



【図1】

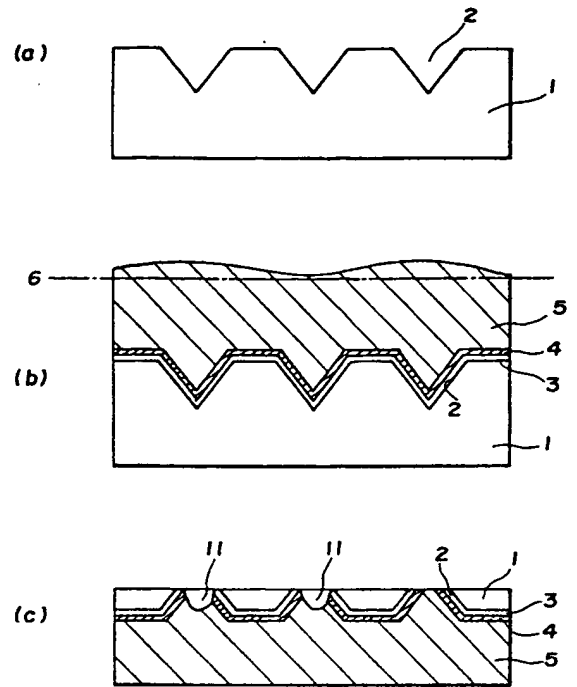




- 21 : 単結晶シリコン基板
23 : V字溝
24 : 二酸化シリコン膜
25 : シリコンオキシナイトライド系の薄膜
26 : 多結晶シリコン層

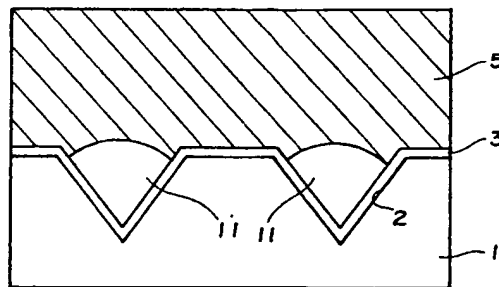
本発明一実施例の製造工程断面図

第 1 図



従来の製造工程断面図

第 2 図



V字溝内の未充填を示す図

第 3 図